



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Registration No.10-0214462 (24) Registration Date. 19990520

(21) Application No.1019950043864 (22) Application Date. 19951127

(51) IPC Code:

G11C 11/407

(71) Applicant:

HYUNDAI MICRO ELECTRONICS CO., LTD.

(72) Inventor:

LEE, YONG BOK

PARK, I HWAN

SHIN, HYEON SU

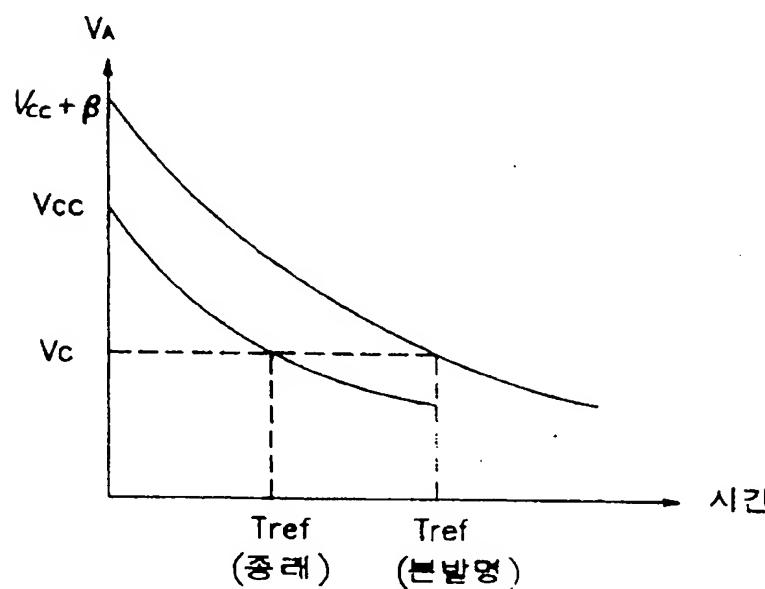
(30) Priority:

(54) Title of Invention

METHOD FOR WRITING DATA INTO SEMICONDUCTOR MEMORY CELL

Representative drawing

(57) Abstract:



PURPOSE: A method for writing data into a DRAM(Dynamic Random Access Memory) cell is provided to increase a refresh time and to reduce a cell size by increasing a potential of data written into the DRAM cell.

CONSTITUTION: A DRAM (Dynamic Random Access Memory) cell has a word line (WL), a bit line(BL), a bit line bar, a MOS transistor and a capacitor. When a signal on the word line having a predetermined voltage level is applied to a gate electrode of the MOS transistor, the MOS transistor writes data of the bit line or the bit line bar into the capacitor and the data stored in the capacitor is transferred to the bit line or bit line bar. When writing data of a logic high, a voltage of the bit line or the bit

AL

line bar becomes higher than a supply voltage. When writing or reading data, a voltage of the word line is the same as the voltage of the bit line/the bit line bar or higher than the voltage of the bit line/the bit line bar to a predetermined value. The predetermined value is a threshold voltage of the MOS transistor.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/407	(45) 공고일자 1999년 08월 02일 (11) 등록번호 10-0214462 (24) 등록일자 1999년 05월 20일
(21) 출원번호 10-1995-0043864 (22) 출원일자 1995년 11월 27일	(65) 공개번호 특 1997-0029824 (43) 공개일자 1997년 06월 26일
(73) 특허권자 월지반도체주식회사 구본준 충청북도 청주시 흥덕구 향정동 1번지	
(72) 발명자 박이환 충청북도 청주시 북대2동 852-21 신현수 대전광역시 서구 둔산동 크로바아파트 116동 1306호 이용복	
(74) 대리인 서울특별시 종로구 묵1동 171-8 박장원	

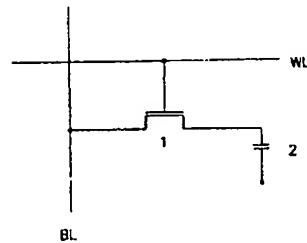
심사관 : 김종진

(54) 반도체메모리셀의 라이트 방법

요약

본 발명은 워드 라인의 신호가 모스 트랜지스터의 게이트 전극에 인가됨에 따라 상기 모스 트랜지스터가 비트 라인 또는 비트 라인 바에 인가된 전압을 커퍼시터로 라이트하는 디램 셀에 있어서, 하이 상태의 데이터를 라이트할 때 비트 라인 또는 비트 라인 바의 전압을 전원 전압의 레벨보다 높게 함으로써 리드 시 안정된 상태로 데이터의 리드가 가능하도록 하고, 셀의 커퍼시턴스 값이 종래와 동일한 경우 리프레쉬 타임이 종래보다 길어지도록 하며, 리프레쉬 타임이 종래와 동일한 경우에는 셀의 커퍼시턴스 값이 종래보다 훨씬 감소되도록 한 반도체 메모리 셀의 라이트방법에 관한 것이다.

대표도



원세서

[발명의 명칭]

반도체 메모리 셀의 라이트방법

[도면의 간단한 설명]

제1도는 일반적인 디램(DRAM) 셀의 구성을 나타낸 도면.

제2도는 일반적인 디램 셀의 동작을 설명하기 위한 도면.

제3도는 일반적인 디램 셀의 리프레쉬 타임(Refresh time)을 설명하기 위한 도면.

제4도는 일반적인 디램 셀에서 캐퍼시턴스 값과 리프레쉬 타임과의 관계를 나타낸 도면.

제5도는 종래 기술과 본 발명에서의 리프레쉬 타임을 비교한 도면.

제6도는 리프레쉬 타임이 동일할 때 종래 기술과 본 발명에서의 캐퍼시턴스 값을 비교한 도면.

* 도면의 주요 부분에 대한 부호의 설명

1,11,21 : 엔 모스 트랜지스터

2,12,22 : 커퍼시터

[발명의 상세한 발명]

본 발명은 반도체 메모리 셀의 라이트방법에 관한 것으로, 특히 셀에 라이트되는 데이터의 전위를 보다 높게 함으로써 셀의 리프레쉬 타임을 길게 하고, 침적도를 높일 수 있도록 한 디램 셀의 라이트방법에 관한 것이다.

제1도는 일반적인 디램 셀의 구성을 나타낸 도면으로서, 엔 모스 트랜지스터(1)와 커패시터(2)로 구성되어 있다. 상기 엔 모스 트랜지스터(1)는 게이트 전극에 인가되는 웨드 라인(WL)의 신호에 따라, 비트 라인(BL)으로부터 인가되는 데이터가 커패시터(2)에 라이트 되도록 하거나, 상기 커패시터(2)에 라이트된 데이터가 리드되어 비트 라인(BL)으로 출력되도록 한다. 제2도는 일반적인 디램 셀의 동작을 설명하기 위한 도면으로서, 웨드 라인(WL1)의 신호가 엔 모스 트랜지스터(11)의 게이트 전극에 인가됨에 따라, 상기 엔 모스 트랜지스터(11)가 비트 라인(BL)의 데이터를 커패시터(12)에 라이트하거나, 또는 상기 커패시터(12)에 라이트된 데이터를 리드하여 비트 라인(BL)으로 출력하는 셀 1과, 웨드 라인(WL2)의 신호가 엔 모스 트랜지스터(21)의 게이트 전극에 인가됨에 따라, 상기 엔 모스 트랜지스터(21)가 비트 라인(BL)의 데이터를 커패시터(22)에 라이트하거나, 또는 상기 커패시터(22)에 라이트된 데이터를 리드하여 비트 라인(BL)으로 출력하는 셀 2 등이 도시되어 있으며, 이와 같은 복수개의 셀에서 얹혀진 데이터가 센스 앤프(30)에 의해 증폭된 다음 출력된다.

이와 같이 구성된 일반적인 디램의 메모리 셀의 동작을 제1도 및 제2도를 참조하여 상세히 설명하면 다음과 같다.

먼저, 셀 1에 하이 상태의 데이터를 라이트하기 위해 웨드 라인(WL1)과 비트 라인(BL)이 하이 상태가 되도록 하면, 피 모스 트랜지스터(11)가 턠-온(turn-on)되어 비트 라인(BL)의 하이 상태의 신호를 커패시터(12)로 전달한다. 이로 인해 상기 커패시터(12)가 하이 상태로 충전되어 노드 A의 전위가 하이가 됨으로써, 하이 상태의 데이터가 셀 1에 라이트되게 된다. 통상적으로, 비트 라인(BL)에는 전원 전압(Vcc)이 인가되고, 웨드 라인(WL1)에는 상기 트랜지스터(11)의 문턱 전압(Vt)에 의한 전압 강하를 방지하기 위하여 전원 전압(Vcc)보다 약간 높은 전압(Vcc+a)이 인가된다. 따라서, 노드 A에 나타나는 전위는 비트 라인(BL)에서 인가되는 전원 전압(Vcc)이 그대로 나타나게 된다. 이와 같은 상태에서 웨드 라인(WL1)의 전위가 토우로 전이되면 상기 트랜지스터(11)가 턠-오프(turn-off)되므로, 상기 노드 A의 전위는 하이 상태를 계속 유지한다.

한편, 셀 1에 라이트된 데이터를 읽기 위해서는 비트 라인(BL)과 비트 라인 바(/BL)가 사전 충전(Precharge)되어 전위가 1/2 Vcc 인 상태에서, 웨드 라인(WL1)의 전위가 하이 상태가 되도록 하면, 셀 1로부터 리드되어 비트 라인(BL)에 나타나는 전압(VBL(NEW))은 셀 1의 커패시터(12)에 의한 커패시턴스(CS)와 비트 라인(BL)에 존재하는 커패시턴스(CB)에 의해 다음과 같이 표시된다.

$Q = CV$ 에서

$$V_{BL(NEW)} = Q_t / C_t$$

$Q = CV$ 에서

$$V_{BL(NEW)} = Q_t / C_t$$

$$= \frac{1}{2} VCC + \frac{CS}{CS + CB} \cdot \frac{1}{2} VCC \quad \text{식(1)}$$

여기서, $Q_t = CS \times VA + CB \times V_{BL(OLD)} = CS \times Vcc + CB \times 1/2 Vcc$, $C_t = CS + CB$ 이며, VA는 노드 A의 전위, $V_{BL(OLD)}$ 는 노드 A의 전위이다.

이와 같이, 데이터 리드 시 비트 라인(BL)에 나타나는 전압은 원래의 사전 충전 상태의 1/2 Vcc 보다 $CS/(CS+CB) \cdot 1/2 Vcc$ 만큼 증가된 전압이 되는데, 이 증가된 전압이 센스 앤프(30)에 입력되어 하이 상태의 데이터로 인식된다. 그런데, 리드된 데이터가 정확하게 인식되기 위해서는 상기 증가되는 전압, 즉 $\Delta V = CS/(CS+CB) \cdot 1/2 Vcc$ 가 커야 하며, ΔV 값이 커지기 위해서는 Vcc와 CS의 값이 커야하는 반면 CB의 값은 작아야 한다.

그러나, 디램이 갖는 가장 큰 문제점은 하이 상태로 라이트된 노드 A의 전압이 항상 Vcc 레벨로 유지되는 것이 아니라, 전하의 누설(Leakage)로 인해 시간이 흐를수록 그 전압이 떨어져 결국에는 하이로 인식이 될 수 없는 레벨의 전압(Vc)까지 떨어지게 된다. 따라서, 디램은 셀에 라이트된 전압(Vcc)의 레벨이 상기 Vc 전압 이하로 떨어지기 전에 원래의 전압 레벨(Vcc)로 회복되도록 하는 리프레쉬 동작을 주기적으로 하여야 한다.

제3도는 디램 셀의 리프레쉬 타임(Refresh time)을 설명하기 위한 도면이다. 도시된 바와 같이, 라이트 된 전압(Vcc)의 레벨이 시간이 흐름에 따라 점차 떨어지게 되는데, 소정의 시간(Tref)이 경과하여 하이로 인식이 될 수 없는 레벨의 전압(Vc) 이하로 떨어지게 되면, 데이터 리드 시 상기 데이터가 하이 상태로 인식되지 못하게 된다. 그러므로 늦어도 이 시간이 되기 전까지는 리프레쉬 동작이 수행되어 손실된 전압이 복원되어야 하는데, 이를 리프레쉬 타임(Tref)이라 한다. 또한, 충분한 크기의 리프레쉬 시간을 얻기 위해서는 커패시터(12)의 커패시턴스(CS) 값이 커야 한다. 제4도의 그래프는 커패시터(12)의 커패시턴스(CS) 값에 따른 리프레쉬 타임을 나타낸 것으로, 커패시턴스(CS) 값이 커질수록 리프레쉬 타임(Tref-a, Tref-b, Tref-c)이 점차 길어지는 것을 나타내고 있다.

그리므로, 일반적인 디램 셀에 있어서는 리프레쉬 타임(Tref)을 길게 하기 위해서는 셀의 커패시턴스(CS) 값을 크게 하여야 하는데, 이를 위해서는 셀의 크기가 커지는 문제점이 있었다.

따라서, 본 발명의 목적은 디램 셀에 라이트되는 데이터의 전위를 보다 높게 함으로써, 셀의 커패시턴스 값이 증대와 같은 경우에는 리프레쉬 타임을 길게 하고, 셀의 리프레쉬 타임이 증대와 같은 경우에는 셀의 크기를 줄임으로써, 셀의 침적도를 향상 시킬 수 있는 디램 셀의 라이초방법을 제공하는데 있다.

상기의 목적을 달성하기 위하여, 본 발명은 소정 레벨의 워드 라인의 신호가 모스 트랜지스터의 게이트 전극에 인가됨에 따라, 상기 모스 트랜지스터가 비트 라인 또는 비트 라인 바의 데이터를 커패시터로 라이트하고, 상기 커패시터에 라이트된 데이터를 리드하여 비트 라인 또는 비트 라인 바로 출력하는 디램 셀에 있어서, 하이 상태의 데이터를 라이트할 때 비트 라인 또는 비트 라인 바의 전압을 전원 전압의 레벨보다 높게 한다.

본 발명은 데이터의 라이트시 비트 라인 또는 비트 라인 바의 전압을 전원 전압의 레벨보다 높게 하여 줌으로써, 리드시 비트 라인 또는 비트 라인 바에는 종래보다 상승된 전압이 나타나게 하여, 안정된 상태로 데이터의 리드가 가능하도록 하고, 셀의 커패시턴스 값이 '종래와 동일한 경우 리프레쉬 타임이 종래보다 길어지도록 하며, 리프레쉬 타임이 종래와 동일한 경우 셀의 커패시턴스 값이 종래보다 감소되도록 하게 된다.

본 발명이 적용되는 디램 셀은 그 구성이 제1 및 제2도에 도시된 일반적인 디램 셀과 동일하나, 데이터를 셀에 라이트하기 위한 비트 라인(BL) 및 워드 라인(WL)의 전압을 일반적인 디램에서 보다 높게 해준다. 즉, 하이 상태의 데이터를 셀 1에 라이트 할 때 종래에는 전원 전압(Vcc)의 크기로 데이터를 라이트하였으나, 본 발명은 그 보다 큰 (Vcc+β)의 크기로 데이터를 라이트한다. 이를 위해 비트 라인(BL)에는 (Vcc+β)의 전압이 인가되고, 워드 라인(WL)에는 엔 모스 트랜지스터(11)의 문턱 전압(Vt)의 크기를 고려하여 (Vcc+β+Vt)의 전압이 인가되도록 함으로써, 노드 AA에 나타내는 전압은 (Vcc+β)가 된다.

한편, 셀 1에 라이트된 데이터를 읽기 위해서는 비트 라인(BL)과 비트 라인 바(/BL)과 사전 충전(Precharge)되어 전위가 1/2 Vcc인 상태에서, 워드 라인(WL1)의 전위가 하이 상태가 되도록 하면, 셀 1로부터 리드되어 비트 라인(BL)에 나타나는 전압(VBL New)은 셀 1의 커패시터(12)에 의한 커패시턴스(CS)와 비트 라인(BL)에 존재하는 커패시턴스(CB)에 의해 다음과 같이 표시된다.

$$V_{BL}(\text{New}) = Q_T / C_T$$

$$= \frac{1}{2} VCC + \frac{CS}{CS + CB} \cdot \frac{1}{2} VCC + \frac{CS}{CS + CB} \beta \quad \text{--- (식 2)}$$

여기서, $Q_T = CS \times VA + CB \times V_{BL}(\text{Old}) = CS \times (Vcc + \beta) + CB \times 1/2 Vcc$, $C_T = CS + CB$ 이며, VA는 노드 A의 전위, $V_{BL}(\text{Old})$ 는 사전 충전 상태에 있는 비트 라인(BL)의 전위이다.

상기 식(1)과 식(2)를 비교해 보면, 종래에 셀로부터 데이터가 리드되어 비트 라인(BL)에 나타나는 전압 보다 본 셀로부터 리드되어 비트 라인(BL)에 나타나는 전압이 $(CS/(CS+CB) \cdot \beta)$ 만큼 커지게 되는 것을 알 수 있다. 이렇게 증가된 전압이 센스 앰프(30)에 인가되면 종래에 비해 훨씬 안정된 상태로 데이터의 리드가 가능해지게 된다.

✓ 이것은 제5도에 도시된 바와 같이 셀 커패시터(12)의 커패시턴스(CS) 값이 동일한 경우: 셀에 라이트된 데이터의 전위가 Vcc 일 때보다 $Vcc + \beta$ 인 경우에 리프레쉬 타임(Tref)이 더욱 길어진다는 것을 의미한다. 또한, 이것은 제6도에 도시된 바와 같이 동일한 리프레쉬 타임(Tref)을 갖기 위해서는 커패시터(12)의 커패시턴스(CS) 값이 종래의 커패시턴스(C)의 값보다 훨씬 작아도 됨을 의미한다.

이상에서 상세히 설명한 바와 같이, 본 발명에 의한 반도체 셀에서는 셀 커패시터의 커패시턴스 값이 종래와 동일한 경우에는 리프레쉬 타임이 종래보다 길어지게 되고, 리프레쉬 타임이 종래와 동일한 경우에는 셀 커패시터의 커패시턴스 값이 종래보다 감소하게 된다. 그리고 셀 커패시터의 커패시턴스가 감소한다는 것은 셀 커패시터의 크기가 감소한다는 것으로 셀의 접적도를 향상시킬 수 있게 된다. 또한 예모다는 것은 셀 커패시터의 크기가 감소한다는 것이므로 셀의 접적도를 향상시킬 수 있게 된다. 또한 예모리는 셀에 사용되는 트랜지스터를 엔 모스 트랜지스터 대신 피 모스 트랜지스터로 사용하면 워드 라인에 높은 전압을 가하지 않아도 되므로 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

소정 레벨의 워드 라인의 신호가 모스 트랜지스터의 게이트 전극에 인가됨에 따라, 상기 모스 트랜지스터가 비트 라인 또는 비트 라인 바의 데이터를 커패시터로 라이트하고 상기 커패시터에 라이트된 데이터를 리드하여 비트 라인 또는 비트 라인 바로 출력하는 디램 셀에 있어서, 하이 상태의 데이터를 라이트 할 때 비트 라인 또는 비트 라인 바의 전압을 전원 전압의 레벨보다 높게 함을 특징으로 하는 반도체 메모리 셀의 라이트방법.

✓ 청구항 2

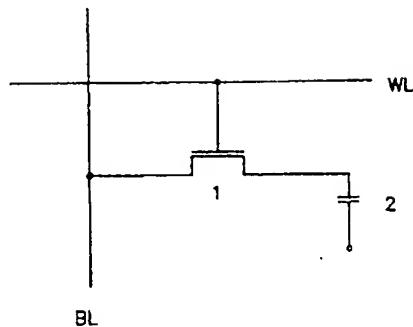
제1항에 있어서, 상기 워드 라인의 전압은 라이트 및 리드 동작시 상기 비트 라인과 비트 라인 바의 전압과 같거나 소정의 값만큼 높게 하는 것을 특징으로 하는 반도체 메모리 셀의 라이트방법.

청구항 3

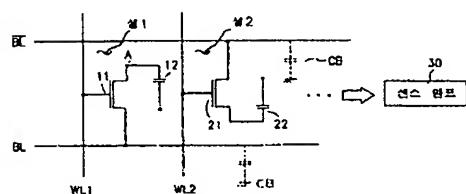
제2항에 있어서, 상기 소정의 값은 상기 모스 트랜지스터의 문턱 전압 임을 특징으로 하는 반도체 메모리 셀의 라이트방법.

도면

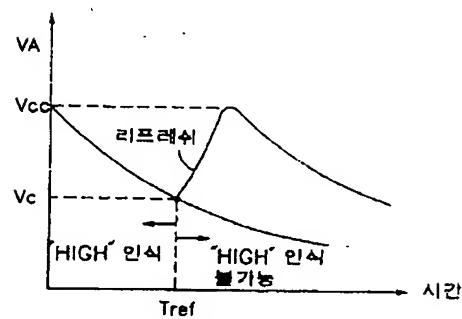
도면1



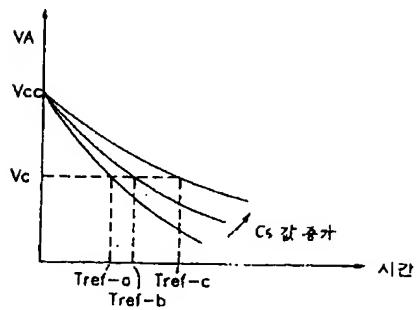
도면2



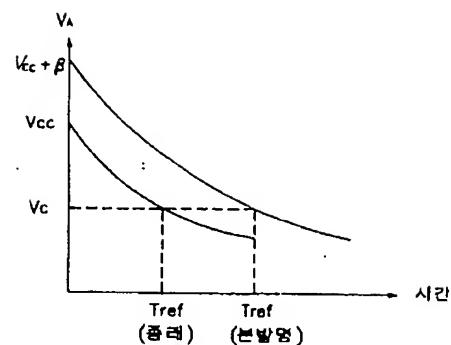
도면3



도면4



도면5



도면6

